

1/3/3 (Item 3 from file: 351)
DIALOG(R)File 351:Derwent WPI
(c) 2006 The Thomson Corp. All rts. reserv.

009032159 **Image available**
WPI Acc No: 1992-159520/199219
XRPX Acc No: N92-118671

Mixed mode analog-digital programmable interconnect IC architecture -
contains user-configurable analog and digital modules, D-A and A-D
converters, interconnections and I-O architecture

Patent Assignee: ACTEL CORP (ACTE-N)
Inventor: EL AYAT K A; ELAYAT K A
Number of Countries: 015 Number of Patents: 006
Patent Family:

| Patent No | Kind | Date | Applicat No | Kind | Date | Week |
|-------------|------|----------|-------------|------|----------|----------|
| US 5107146 | A | 19920421 | US 91654966 | A | 19910213 | 199219 B |
| EP 499383 | A2 | 19920819 | EP 92300774 | A | 19920129 | 199234 |
| JP 5267458 | A | 19931015 | JP 9259488 | A | 19920213 | 199346 |
| EP 499383 | A3 | 19931027 | EP 92300774 | A | 19920129 | 199511 |
| EP 499383 | B1 | 19961211 | EP 92300774 | A | 19920129 | 199703 |
| DE 69215709 | E | 19970123 | DE 615709 | A | 19920129 | 199709 |
| | | | EP 92300774 | A | 19920129 | |

Priority Applications (No Type Date): US 91654966 A 19910213

Patent Details:

| Patent No | Kind | Lan | Pg | Main IPC | Filing Notes |
|--|------|-----|----|--------------|---------------------------|
| US 5107146 | A | | 13 | | |
| EP 499383 | A2 | E | 14 | H03K-019/177 | |
| EP 499383 | B1 | E | 16 | H03K-019/177 | |
| Designated States (Regional): AT BE CH DE ES FR GB GR IT LI LU NL SE | | | | | |
| DE 69215709 | E | | | H03K-019/177 | Based on patent EP 499383 |
| JP 5267458 | A | | | H01L-021/82 | |

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-267458

(43)Date of publication of application : 15.10.1993

(51)Int.Cl.

H01L 21/82
H01L 27/04

(21)Application number : 04-059488

(71)Applicant : ACTEL CORP

(22)Date of filing : 13.02.1992

(72)Inventor : EL-AYAT KHALED A

(30)Priority

Priority number : 91 654966

Priority date : 13.02.1991

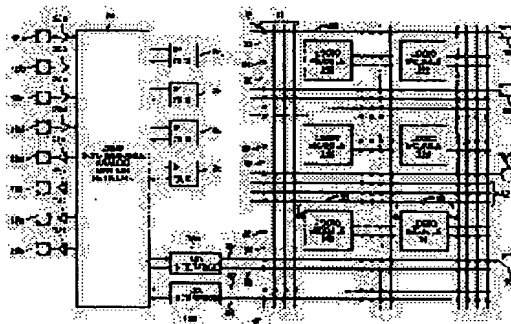
Priority country : US

(54) USER-CONFIGURABLE INTEGRATED CIRCUIT STRUCTURE

(57)Abstract:

PURPOSE: To provide a user-programmable integrated circuit containing analog parts including user-configurable analog circuit modules, digital parts including user-configurable digital circuit modules, interface parts including user-configurable interface circuits for the A/D and D/A conversions of signals, user-configurable interconnections and input/output structures.

CONSTITUTION: A user-programmable integrated circuit comprises analog parts 12a-12d including user-configurable analog circuit modules, digital parts, including user-configurable digital circuit modules 14a-14f, interface parts 16a, 16b including user-configurable interface circuits for the AD and DA conversions of signals, user-configurable interconnections 36-56 and input/output structures 18a-18l.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-267458

(43)公開日 平成5年(1993)10月15日

| (51)Int.Cl. ⁵ | 識別記号 | 庁内整理番号 | FI | 技術表示箇所 |
|--------------------------|------|-------------------------------|----------------|--------|
| H 0 1 L 21/82 27/04 | U | 8427-4M 9169-4M 9169-4M | H 0 1 L 21/ 82 | A W |

審査請求 未請求 請求項の数2(全 10 頁)

(21)出願番号 特願平4-59488

(22)出願日 平成4年(1992)2月13日

(31)優先権主張番号 6 5 4 9 6 6

(32)優先日 1991年2月13日

(33)優先権主張国 米国(US)

(71)出願人 591099555

アクテル・コーポレーション

アメリカ合衆国、カリフォルニア・94086、

サニーベイル、イースト・アークウイス・

アベニュー・955

(72)発明者 カーレツド・エイ・エル・アイアト

アメリカ合衆国、カリフォルニア・95014、

キュバーティノ、ランディ・レーン・

10174

(74)代理人 弁理士 川口 義雄 (外3名)

(54)【発明の名称】 ユーザ構成可能な集積回路構造

(57)【要約】 (修正有)

【目的】 ユーザ構成可能なアナログ回路モジュールを含むアナログ部と、ユーザ構成可能なデジタル回路モジュールを含むデジタル部と、信号のAD変換及びDA変換のためのユーザ構成可能なインタフェース回路を含むインタフェース部と、ユーザ構成可能な相互接続及び入出力構造とを含むユーザプログラマブルな集積回路を提供する。

【構成】 ユーザプログラマブルな集積回路は、ユーザ構成可能なアナログ回路モジュールを含むアナログ部12a~12dと、ユーザ構成可能なデジタル回路モジュール14a~14fを含むデジタル部と、信号のAD変換及びDA変換のためのユーザ構成可能なインタフェース回路を含むインタフェース部16a、16bと、ユーザ構成可能な相互接続36~54及び入出力構造18a~181とを含む。

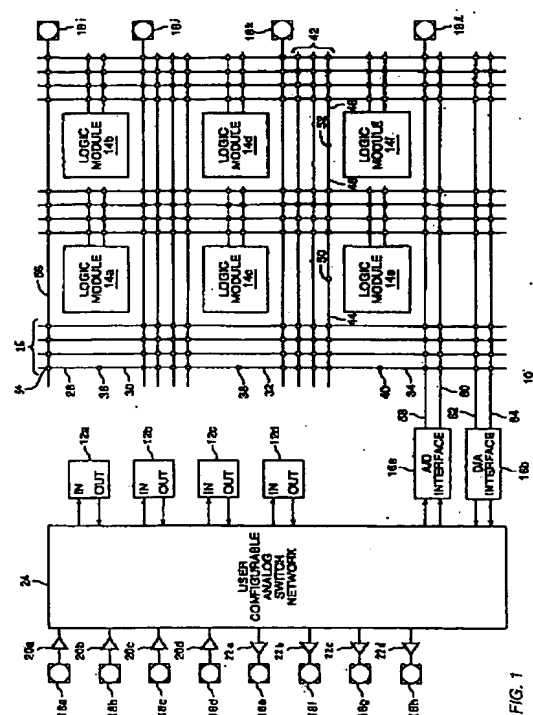


FIG. 1

1

【特許請求の範囲】

【請求項1】 ユーザによって構成され得る集積回路構造であって、

各々複数の入力と少なくとも1つの出力とを有する複数のユーザ構成可能なデジタル論理回路モジュールであって、そのうちの少なくとも1つは当該モジュールを複数の機能のうちの1つを果たすように構成するべくユーザによって用いられる手段を含む複数のユーザ構成可能デジタル論理回路モジュールと、

各々1つの入力と1つの出力とを有する複数のユーザ構成可能なアナログ回路モジュールであって、そのうちの少なくとも1つは当該モジュールのために1つ以上の回路パラメータを選択するべくユーザによってプログラムされ得る手段を含む複数のユーザ構成可能なアナログ回路モジュールと、

集積回路上に設けられ、それぞれ1つのアナログ回路モジュールの入力に関係付けられた第1群の入出力パッドと、

集積回路上に設けられ、それぞれ1つのアナログ回路モジュールの出力に関係付けられた第2群の入出力パッドと、

アナログ入力とマルチビットデジタル出力とを有する少なくとも1つのAD変換器と、

マルチビットデジタル入力とアナログ出力とを有する少なくとも1つのDA変換器と、

4群に分類される複数のユーザ構成可能なアナログスイッチであって、第1群のアナログスイッチは第1群の入出力パッドと選択されたアナログ回路モジュールの入力との間に接続されており、第2群のアナログスイッチは第2群の入出力パッドと選択されたアナログ回路モジュールの出力との間に接続されており、第3群のアナログスイッチは選択されたアナログ回路モジュールの出力と少なくとも1つのAD変換器のアナログ入力との間に接続されており、第4群のアナログスイッチは少なくとも1つのDA変換器のアナログ出力と選択されたアナログ回路モジュール及びこれに関連する第2群の入出力パッドとの間に接続されている複数のユーザ構成可能なアナログスイッチと、

複数のデジタル論理回路モジュール、少なくとも1つのAD変換器のマルチビットデジタル出力、及び少なくとも1つのDA変換器のマルチビットデジタル入力に関連する、各々1つ以上のセグメントから成る複数の相互接続導線であって、第1の方向に伸長する第1のセグメントのうちの少なくとも幾つかは、第1の方向とは異なる第2の方向に伸長する第2のセグメントのうちの少なくとも幾つかと交叉する複数の相互接続導線と、

4群に分類される複数のユーザプログラマブルな相互接続素子であって、第1群の相互接続素子は1つの相互接続導線の複数のセグメントのうちの互いに隣接するセグメント同士の間接続されており、第2群の相互接続素

2

子は選択された第1の導線セグメントと選択された第2の導線セグメントとの交点において両セグメント間に接続されており、第3群の相互接続素子はデジタル論理回路モジュールの入力及び出力と選択された導線セグメントとの間に接続されており、第4群の相互接続素子は少なくとも1つのAD変換器のマルチビットデジタル出力及び少なくとも1つのDA変換器のマルチビットデジタル入力と選択された導線セグメントとの間に接続されている複数のユーザプログラマブル相互接続素子とを含むユーザ構成可能な集積回路構造。

【請求項2】 ユーザによって構成され得る集積回路構造であって、

各々複数の入力と少なくとも1つの出力とを有する複数のユーザ構成可能なデジタル論理回路モジュールであって、そのうちの少なくとも1つは当該モジュールを複数の機能のうちの1つを果たすように構成するべくユーザによって用いられる手段を含む複数のユーザ構成可能デジタル論理回路モジュールと、

各々1つの入力と1つの出力とを有する複数のユーザ構成可能なアナログ回路モジュールであって、そのうちの少なくとも1つは当該モジュールのために1つ以上の回路パラメータを選択するべくユーザによってプログラムされ得る手段を含む複数のユーザ構成可能なアナログ回路モジュールと、

各々1つの入力と1つの出力とを有する複数のアナログ入力バッファと、

各々1つの入力と1つの出力とを有する複数のアナログ出力バッファと、

集積回路上に設けられ、それぞれ1つのアナログ入力バッファの入力に関係付けられた第1群の入出力パッドと、

集積回路上に設けられ、それぞれ1つのアナログ出力バッファの出力に関係付けられた第2群の入出力パッドと、

アナログ入力とマルチビットデジタル出力とを有する少なくとも1つのAD変換器と、

マルチビットデジタル入力とアナログ出力とを有する少なくとも1つのDA変換器と、

4群に分類される複数のユーザ構成可能なアナログスイッチであって、第1群のアナログスイッチは第1群の入出力パッドと選択されたアナログ回路モジュールの入力との間に接続されており、第2群のアナログスイッチは第2群の入出力パッドと選択されたアナログ回路モジュールの出力との間に接続されており、第3群のアナログスイッチは選択されたアナログ回路モジュールの出力と少なくとも1つのAD変換器のアナログ入力との間に接続されており、第4群のアナログスイッチは少なくとも1つのDA変換器のアナログ出力と選択されたアナログ回路モジュール及びこれに関連する第2群の入出力パッドとの間に接続されている複数のユーザ構成可能なアナ

10

20

30

40

50

グスイッチと、

複数のデジタル論理回路モジュール、少なくとも1つのAD変換器のマルチビットデジタル出力、及び少なくとも1つのDA変換器のマルチビットデジタル入力に関連する、各々1つ以上のセグメントから成る複数の相互接続導線であって、第1の方向に伸長する第1のセグメントのうちの少なくとも幾つかは、第1の方向とは異なる第2の方向に伸長する第2のセグメントのうちの少なくとも幾つかと交叉する複数の相互接続導線と、

4群に分類される複数のユーザプログラマブルな相互接続素子であって、第1群の相互接続素子は1つの相互接続導線の複数のセグメントのうちの互いに隣接するセグメント同士の間接続されており、第2群の相互接続素子は選択された第1の導線セグメントと選択された第2の導線セグメントとの交点において両セグメント間に接続されており、第3群の相互接続素子はデジタル論理回路モジュールの入力及び出力と選択された導線セグメントとの間に接続されており、第4群の相互接続素子は少なくとも1つのAD変換器のマルチビットデジタル出力及び少なくとも1つのDA変換器のマルチビットデジタル入力と選択された導線セグメントとの間に接続されている複数のユーザプログラマブル相互接続素子を含むユーザ構成可能な集積回路構造。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、ユーザによって構成され得る集積回路に関する。本発明は特に、アナログ回路素子とデジタル回路素子との両方を含むユーザ構成可能な回路アレイに関する。

【0002】

【従来の技術】ユーザ構成可能なデジタル集積回路は当業者に公知である。

【0003】

【発明の概要】本発明は、ユーザ構成可能なアナログ回路モジュールを含むアナログ部と、ユーザ構成可能なデジタル回路モジュールを含むデジタル部と、信号のAD変換及びDA変換のためのユーザ構成可能なインタフェース回路を含むインタフェース部と、ユーザ構成可能な相互接続及び入出力構造とを含むユーザプログラマブルな集積回路を提供する。

【0004】本発明による集積回路のアナログ部は、アナログ入力回路とアナログ出力回路との両方を含み得る。本発明のアレイ回路網に含まれるアナログ入力回路としては、増幅器、前置増幅器、フィルタ、AD変換器といった回路素子などが非限定的に挙げられる。本発明のアレイに含まれるアナログ出力回路としては、増幅器、フィルタ、DA変換器その他の回路などが非限定的に挙げられる。上記以外のアナログ回路の適用も本発明の範囲内である。例えば、アナログ比較器、アナログスイッチ及びアナログマルチプレクサを本発明による回路構成

に用いることも可能である。本発明に用いられるアナログ回路の種類は相当程度本発明の集積回路の特定用途に従属し、本発明の原理が特定の回路設計要件に合致し得るかどうかは当業者には即座に認識されよう。

【0005】本発明によれば、集積回路のアナログ部のアナログ回路網の諸パラメータ、即ち増幅器の利得、フィルタの帯域幅、AD及びDA変換器の分解能その他といったパラメータは、非溶断型素子、溶断型リンク、不揮発記憶素子、パストランジスタ (pass transistor)、記憶素子によって制御されるスイッチ等のようなユーザプログラマブルな手段を用いてユーザにより選択され得る。上記のようなユーザプログラマブル素子の製造及び使用は、当分野では良く知られている。

【0006】本発明の目下のところ好ましい一例によれば、アナログの電氣的パラメータの調節には、上記のようなユーザプログラマブル素子を用いる技術で抵抗性、容量性、受動性または能動性の回路素子の一部または全部を選択して必要な回路性能を実現することが含まれる。例えば、入力抵抗器または帰還抵抗器の抵抗値を適当に選択もしくは変更することによって演算増幅器の利得を選択もしくは調節することができる。

【0007】本発明による集積回路のデジタル部は、米国特許第4,758,745号、同第4,873,459号及び同第4,910,417号において開示及び特許請求されているような、ユーザ構成可能な相互接続アーキテクチャ内に組み込まれたユーザ構成可能な論理関数回路を含む（上記3米国特許は、開示されているアーキテクチャ及びユーザ構成可能回路モジュールからして明らかに本明細書に参考として含まれる）。

【0008】本発明の集積回路に含まれるアナログ回路とデジタル回路とは、アナログ回路網及びデジタル回路網と同じ半導体基板材料上に集積される、AD変換器及びDA変換器のような当業者に公知のインタフェース回路を用いて互いに接続され得る。

【0009】本発明によれば、アナログ信号の処理は総て集積回路の回路アレイに含まれるアナログ回路によって行なわれ得る。アナログ回路によって処理されたアナログ信号は次にデジタル形態に変換されて、集積回路のデジタル部によりデジタルに処理され得る。必要であれば、デジタル信号をアナログ形態に変換し、アナログ電圧レベルで集積回路から出力することも可能である。

【0010】本発明の目下のところ好ましい一例によれば、入力信号及び出力信号は回路用途の要求に応じてアナログ形態またはデジタル形態となる。

【0011】本発明の目下のところ好ましい一例では、複数のユーザ構成可能なアナログスイッチを含むプログラマブルな相互接続構造が、集積回路のアナログ部の回路素子同士の接続と、アナログ部の回路素子のADインタフェース部への接続とに用いられ得る。そのうえ、ユ

5.

ーザ構成可能なアナログスイッチは集積回路の入出力パッドとアナログ回路ブロックとの相互接続にも用いられる。

【0012】集積回路のデジタル部の総ての回路素子同士を接続し、かつデジタル部をDAインタフェース部に接続するのには、ユーザ構成可能な相互接続素子が用いられる。ユーザ構成可能な相互接続構造は、回路ノードを集積回路のデジタル部から集積回路の入出力ピンへと接続するのにも用いられ得る。

【0013】本発明の更に別の例によれば、アナログ及びデジタルの両プローブ回路網によって、集積回路のアナログ部及びデジタル部の内部ノードにおける信号の状態を監視及び観察することが可能となる。

【0014】

【実施例】図1は、本発明によるユーザプログラマブルなアナログ-デジタル混合型集積回路の回路アレイ10の一例を示す説明図である。アレイ10は、ブロック12a、12b、12c及び12dによって図示した複数のアナログ回路モジュールを含む。アナログ回路モジュール12a～12dは、増幅器、前置増幅器、フィルタ、アナログスイッチ、マルチプレクサ等を含み得る。本発明による集積回路の特定構成にどのようなアナログ回路モジュールをどれだけ用いるかは、主に集積回路の所期用途に基づいて為される設計選択において決定されよう。

【0015】アレイ10は、参照符号14a、14b、14c、14d、14e及び14fを付して示した複数のデジタル回路モジュールも含む。目下のところ好ましい一例においてデジタル回路モジュール14a～14fは、米国特許第4,914,417号、または本願と同じ出願人による1990年5月11日付米国特許同時係属出願第07/522,232号に開示されているようなユーザ構成可能なデジタル論理回路であり得る。

【0016】アレイ10はまた、複数のAD及びDAインタフェース回路を含み、図1ではそのうちのADインタフェース回路をブロック16aによって示し、DAインタフェース回路をブロック16bによって示してある。ADインタフェース回路及びDAインタフェース回路の典型例は、公知のAD変換器及びDA変換器である。インタフェース回路の動作速度及び分解能も設計選択時に、集積回路が振り向けられる用途の要求に従って決定される。

【0017】アレイ10を有する集積回路には、参照符号18a～18iを付して示した複数の入出力パッドが設けられており、これらのパッド18a～18iはアナログ及び/またはデジタル信号並びにプログラミング情報を集積回路に入力し、また集積回路から出力するのに用いられ、かつ給電電圧等の付与にも用いられる。入出力パッドの個数と、従って入出力ピンの個数とは、回路密度その他の自明の要因によって規定される。

6

【0018】図1に示した例において、入出力パッド18a～18dはアナログ入力信号用で、入力バッファ20a～20dを介してアレイ10に関係付けられており、入出力パッド18e～18hはアナログ出力信号用で、出力バッファ22a～22dを介してアレイ10に関係付けられており、更に入出力パッド18i～18lはデジタル信号の入出力に用いられる。

【0019】様々なアナログ回路モジュール12a～12dと入出力パッド18a～18hとの相互接続、並びにADインタフェース回路16aのアナログ側への接続及びDAインタフェース回路16bのアナログ側からの接続は、ユーザ構成可能なアナログスイッチ網24を用いて実現される。ユーザ構成可能なアナログスイッチ網24は複数の構成可能なアナログスイッチを含み、これらのアナログスイッチは、アレイ10のアナログ部内の選択された回路ノード同士の間接続されており、ユーザによってオンまたはオフ状態にプログラムされ得る。可能な接続の数及び種類は本発明の特定例毎に異なり、本発明の原理に従って製造された実際の集積回路において上記のようなアナログスイッチ網がどのような接続を実現するかは、その時々設計要件によって規定される。

【0020】デジタル論理モジュール14a～14f同士の接続、モジュール14a～14fとインタフェース回路16a及び16bとの接続、並びにモジュール14a～14fと、本発明のアレイ10を有する集積回路上に設けられた入出力パッド18i～18lとの接続は、ユーザプログラマブルな相互接続構造を用いて実現され得る。この構造は図1中に、集積回路においてアレイ10のデジタル回路モジュール14a～14f及びインタフェース回路16a及び16bに近接する領域に行及び列状に配置されたチャネルを構成する導線のネットワークとして示してある。

【0021】図1に示したように、相互接続マトリクスの導線の幾本かはその長さに沿って2つ以上のセグメントに分割されている。これらのセグメントは、丸印で図示したプログラマブルな相互接続素子によって互いに結合されている。例えば、列チャネル26の導線のうちで図中最左方に位置する導線は、プログラマブル相互接続素子36、38及び40によって互いに結合されたセグメント28、30、32及び34に分割されている。同様に、行チャネル42の導線のうちで図中最下方に位置する導線は、プログラマブル相互接続素子50及び52によって互いに結合されたセグメント44、46及び48に分割されている。

【0022】導線同士の交点に配置されたプログラマブル相互接続素子も丸印で図示してある。例えば、参照符号54を付した丸印はセグメント28と、入出力パッド18iと接続された導線56との交点に配置されたプログラマブル相互接続素子を表わす。

【0023】相互接続構造の、個々のチャネルの導線の

本数と、導線分割方法と、導線同士の交点に配置されるプログラマブル相互接続素子の個数とはいずれもアレイ10の寸法及びレイアウトに従って変更され得る。このような相互接続構造のための様々な構成案が、米国特許第4,758,745号、同第4,873,459号、同第4,910,417号、及び明らかに本明細書に参考として含まれる1990年6月22日付の米国特許同時係属出願第07/542,722号に開示されている。

【0024】プログラマブルな相互接続素子そのものは非溶断型素子や、レジスタその他の記憶素子によって制御されるトランジスタや、溶断型リンク等であり得る。目下のところ好ましい一例では非溶断型素子が用いられる。

【0025】図1が簡略化のため幾分省略して描かれていることは、当業者なら認識できよう。そのような人々には、図1に示した相互接続導線の中に実際は複数の導線から成るものが有ることは容易に理解されよう。例えば、インタフェース回路16a及び16bとデジタル相互接続構造とを接続する導線58、60、62及び64は多導線バスである。当然ながら、個々のバスに含まれる個別導線の本数は、本発明の原理に従って製造される特定回路に用いられるAD変換器及びDA変換器の分解能に従属する。

【0026】本発明のアレイのアナログ部は、きわめて多数のプログラマブルアナログ回路を含み得る。アナログ回路モジュールのユーザ選択可能パラメータの選択、及び本発明のアレイ内でのアナログ回路モジュール同士の接続はユーザプログラマブルなアナログスイッチを用いることによって簡易化され得る。上記のようなアナログスイッチの一例として図2aにブロック線図の形態で示したユーザプログラマブルアナログスイッチ70は、アナログ入力ノード72、アナログ出力ノード74及び制御電圧入力76を含む。制御電圧入力76と大地との間に、ユーザプログラマブルな相互接続素子78が接続されている。

【0027】ユーザプログラマブルなアナログスイッチ70は、その制御電圧入力76が第1の論理状態に有る時はアナログ入力ノード72をアナログ出力ノード74に接続し、即ちアナログ入力ノード72に現れたアナログ信号をアナログ出力ノード74へと透過させる一方、制御電圧入力76が第2の論理状態に有る時はアナログ入力ノード72とアナログ出力ノード74との接続を断つように構成されている。ユーザプログラマブルアナログスイッチ70の制御電圧入力76に現れる論理状態は、プログラマブル相互接続素子78をプログラムするか、またはプログラムせずに置き、それによって該素子78を接地するか、または未接地状態に維持することによって決定され得る。

【0028】図2bに、本発明に用いられるユーザプロ

グラマブルアナログスイッチ70の目下のところ好ましい一例を示す。図2bからは、ユーザプログラマブルアナログスイッチ70がnチャネルMOSトランジスタ80及びpチャネルMOSトランジスタ82から成るアナログパスゲートを含むことが知見され得る。このパスゲートは回路ノード84から駆動される。インバータ86によって、トランジスタ80及び82のゲートに現れる信号が互いに相補的となり、その結果トランジスタ80と82とは同時にオンまたはオフ状態となることが保証される。

【0029】回路ノード84は、回路ノード90によって駆動されるインバータ88によって駆動される。回路ノード90は他端を接地されたユーザプログラマブル相互接続素子78と、電流源として V_{DD} と接続されたpチャネルMOSトランジスタ92との間に配置されている。ユーザプログラマブル相互接続素子78が導通する場合、ノード90は接地される。ユーザプログラマブル相互接続素子78が導通しない場合は、ノード90は電流源であるpチャネルMOSトランジスタ92の動作によって高電圧の論理状態に維持される。

【0030】本発明において、ユーザプログラマブルな相互接続素子78が非溶断型素子である場合この素子78は、プログラミング電圧 V_{PP} の供給源と接続されたプログラミングトランジスタ94を設置することによって容易にプログラムされ得る。プログラミングトランジスタ94のゲートはプログラミングノード96と接続されている。プログラミングノード96の電位が V_{PP} に上昇すると、非溶断型のユーザプログラマブル相互接続素子78はプログラムされる。

【0031】図3aに、本発明のアレイのアナログ部に含まれ得る、ユーザによって利得をプログラムされ得る演算増幅器を概略的に示す。この図によれば、当業者に公知であるような任意の演算増幅回路であり得る演算増幅器100は反転入力ノード110と、非反転入力104と、出力106とを有する。増幅器100の反転入力ノード110と反転入力102との間に第1の抵抗器108が直列に接続されている。非反転入力104は接地されている。

【0032】本発明によれば、演算増幅器100の利得の設定には複数の抵抗器及びユーザプログラマブル相互接続素子が用いられる。即ち、増幅器100の出力ノード106と反転入力ノード110との間に、ユーザプログラマブル相互接続素子114と直列接続された抵抗器112が配置されている。同様に、ユーザプログラマブル相互接続素子118と直列接続された抵抗器116、ユーザプログラマブル相互接続素子122と直列接続された抵抗器120、及びユーザプログラマブル相互接続素子126と直列接続された抵抗器124も増幅器100の出力ノード106と反転入力ノード110との間に配置されている。

【0033】選択されたユーザプログラマブル相互接続素子が適当にプログラムされることによって増幅器100の利得が、抵抗器の選択された抵抗値、及び設置される抵抗器とユーザプログラマブル相互接続素子との組み合わせの数に従属して幾つかの異なる値のうちの1つに設定され得ることは、当業者なら認識できよう。

【0034】図3aに示した回路では、増幅器100の選択され得る利得はユーザプログラマブル相互接続素子114、118、122及び126の最終抵抗の予測可能性によって制限される精度でしか設定され得ない。多くの用途で、図3aの回路を用いることによって保証され得るものより高い精度が要求される。

【0035】図3bに、本発明のアレイのアナログ部に含まれ得る、切り替えに起因するエラーを伴わずに利得をプログラムされ得る増幅器を概略的に示す。ここに示した増幅器130は非反転入力ノード132と、反転入力ノード134と、出力ノード136とを有する。反転入力ノード134と出力ノード136との間に、アナログスイッチ138並びに抵抗器140及び142から成る第1の帰還ネットワークが接続されている。反転入力ノード134と出力ノード136との間には、アナログスイッチ144並びに抵抗器146及び148から成る、第1の帰還ネットワークに類似の第2の帰還ネットワークも接続されている。本発明の目下のところ好ましい一例では、アナログスイッチ138及び144は図2a及び図2bを参照して説明したアナログスイッチであり得る。増幅器利得について公知の関係を適用すれば、第1のアナログスイッチ138がプログラムされる場合、図示した回路の利得は

$$A = 1 + R_{140} / R_{142} \quad (1)$$

となり、第2のアナログスイッチ144がプログラムされる場合は回路の利得は

$$A = 1 + R_{146} / R_{148} \quad (2)$$

となると理解され得る。図2a及び図2bのアナログスイッチ回路を用いることによって増幅器の利得の、切り替えに起因するプログラムエラーが回避される。

【0036】本発明の原理を用いて、ユーザによって選択され得るパラメータを有する上述以外のアナログ回路を構成し、かつ本明細書に開示したようなアレイ中に用いることも可能である。図3cに示したプログラマブルな基準電圧源150は、例えばバンドギャップ電圧標準回路であり得る電圧標準回路152を含む。電圧標準回路152の出力は増幅器154の入力に接続されており、その際増幅器154は図3bを参照して説明したような増幅器であり得る（図3bと図3cとで同様素子には同じ参照符号を付す）。

【0037】図3cの回路150がユーザによって、基準電圧を複数の値のうちの1つに設定するべく構成され得ることは、当業者には認められよう。有効な基準電圧値の個数及びそれぞれの大きさは帰還ネットワークの数

と、帰還ネットワーク中に用いられる抵抗器の抵抗値とに従属する。

【0038】図3cの回路を付加的なMOSトランジスタ及び抵抗器と組み合わせることによって、精密基準電流源を構成することができる。図3dに示した精密基準電流源回路160は図3cのプログラマブル基準電圧源回路150の全素子を含む。そのうえ、回路160はpチャネルMOS電流源トランジスタ162も含み、このトランジスタ162のゲートは増幅器154の出力ノード136と接続されている。pチャネルMOS電流源トランジスタ162のソースは電圧供給源 V_{DD} と接続されており、またそのドレインは抵抗器164と接続されている。抵抗器164の他端は精密基準電流源160の出力ノード166を構成する。

【0039】図3eに、本発明によるアレイに含まれ得る更に別のユーザ構成可能アナログ回路を示す。図3eに概略的に示したアナログ回路は、プログラマブルなアナログ電圧比較器170である。ユーザによって構成され得るアナログ電圧比較器170は、当業者に公知であるような比較器172を含む。アナログ電圧入力ノード174において比較器172の一方の入力に印加される。比較器172の他方の入力ノード176は、参照符号178、180及び182を付して示した複数のアナログスイッチの出力と接続されている。アナログスイッチ178、180及び182の入力は第1、第2及び第3の基準電圧 V_{ref1} 、 V_{ref2} 及び V_{ref3} の供給源とそれぞれ接続されている。

【0040】図3fに、本発明のアレイのアナログ部に含まれ得る、切り替えに起因するエラーを伴わずにプログラムされ得る電圧制御型発振器（VCO）回路190を概略的に示す。VCO190は、緩衝増幅器194を駆動する電流一周波数変換器192を含む。増幅器194の駆動には様々な回路が有効であり、特定回路が選択されるのは単に設計選択の結果にすぎないことは、当業者には理解されよう。上記のような電流一周波数変換回路は通常、コンデンサ及び抵抗器が接続された1つ以上のノードを含む。静電容量値及び抵抗値を選択することによって発振器回路190の動作周波数が選択される。

【0041】図3fに示した回路例において、電流一周波数変換器192に関連する第1の回路ノード196は外部抵抗との接続用である。即ち、第1の回路ノード196には第1の抵抗器198が第1のアナログスイッチ200を介して接続されている。同様に、第2の抵抗器202が第2のアナログスイッチ204を介して、また第3の抵抗器206が第3のアナログスイッチ208を介して第1の回路ノード196に接続されている。抵抗器198、202及び206の他端は回路ノード210と接続されており、このノード210は、電流一周波数変換器192の特定設計に従属する細部を有する電圧または電流源と接続されている。

【0042】一方、電流一周波数変換器192に関連する第2の回路ノード212は外部静電容量との接続用である。即ち、第2の回路ノード212には第1のコンデンサ214が第1のアナログスイッチ216を介して接続されている。同様に、第2のコンデンサ218が第2のアナログスイッチ220を介して、第3のコンデンサ222が第3のアナログスイッチ224を介して、また第4のコンデンサ226が第4のアナログスイッチ228を介して第2の回路ノード212に接続されている。

【0043】図3b～図3eを参照して説明した他のユーザ選択可能パラメータの場合同様、VCO190の周波数の選択は、抵抗器198、202及び206とコンデンサ214、218、222及び226との選択された組み合わせを電流一周波数変換器192に接続することによって行なわれる。図3fに示した回路は図3a～図3eに示した回路同様説明のための例にすぎず、本発明に従って製造される特定の集積回路に組み込むべく選択されるユーザ構成可能素子の数が単に設計選択の結果として定まることは、当業者には理解されよう。

【0044】図4に、本発明の集積回路におけるアナログ回路モジュール入出力パッドとインタフェース回路との接続法の一例を概略的に示す。図4に示したアナログ部はアナログ前置増幅器240と、フィルタ242と、AD変換器244とを含む。前置増幅器240及びフィルタ242は、本明細書中に説明したようにユーザによってプログラムされ得る利得及び濾波係数のような調節可能な電気的動作パラメータを有し得る。図示のアナログ部はプログラマブルアナログスイッチ246、248及び250も含み、これらのスイッチ246、248及び250は特定モジュールをアナログ部の接続路内または接続路外に置くことを可能にする。例えば、フィルタ242が上記接続路内に有るべきである場合、スイッチ246及び248がオン状態に、スイッチ250がオフ状態に切り替えられる。フィルタ242が上記接続路内に有るべきではない場合は、スイッチ246及び248がオフ状態に、スイッチ250がオン状態に切り替えられる。

【0045】AD変換器244の入力までは、総ての信号はアナログ電圧レベルを有する。AD変換器244は、その入力に受け取ったアナログ電圧をその出力においてマルチビットデジタル値に変換するべく機能する。当業者が認めるように、AD変換器の分解能及び変換時間は様々であり得る。好ましいAD変換器の分解能は12ビットである。

【0046】AD変換器244からのデジタル出力ライン252 (n本図示) は、図1に示したような集積回路の、ユーザプログラマブルなデジタル論理モジュールのアレイから成るデジタル部の個々のデジタル論理モジュールに接続され得る。デジタルライン252は複数の相互接続導線から成るチャンネル254に達し、個々の導線

256、258、260、262、264及び266と交叉する。各交点にはプログラマブルな相互接続素子268が配置され得る。相互接続素子268は、AD変換器244からのデジタル出力ライン252を選択された相互接続導線に接続するべくプログラムされ得る。

【0047】本発明の集積回路に、選択された回路ノードの観察及び/または制御を可能にする診断回路を組み込むことも可能である。本発明の集積回路のデジタル部に好ましく用いられる診断回路は、いずれも明らかに本明細書に参考として含まれる米国特許第4,857,744号、及び1991年1月28日付米国特許同時係属出願第07/646,268号(発明の名称は“Testability Circuits for Logic Circuit Arrays”)に開示されている。

【0048】図5に、本発明のアレイのアナログ部のための診断回路を示す。その出力が調べられるべきであるアナログ回路網は、フィルタ270と、比較器272と、増幅器274と、発振器276とを含む。フィルタ270、比較器272、増幅器274及び発振器276の出力はアナログスイッチ278、280、282及び284の入力にそれぞれ接続されている。アナログスイッチ278、280、282及び284の出力は共通の回路ノード286に接続されている。ノード286は緩衝増幅器288の入力に接続されている。緩衝増幅器288の出力は、本発明のアレイを含む集積回路の出力パッド290に接続されている。

【0049】目下のところ好ましい一例において、アナログスイッチ278、280、282及び284は図2bに示した回路の、入力72、出力74、nチャネルMOSトランジスタ80、pチャネルMOSトランジスタ82、ノード84及びインバータ86から成る部分を含み得、その際ノード84はスイッチ制御ノードであり、高電圧レベル下ではスイッチをオン状態に切り替え、接地されればオフ状態に切り替える。図5において、参照符号72、74及び84は図2bの場合と同じ構成要素を示す。

【0050】アナログスイッチ278、280、282及び284の制御入力84は、“one-of-n”デコーダ292の出力と接続されている。one-of-nデコーダ292は、幾つかの公知デコーダ回路のうちの1つであり得、米国特許第4,758,745号に開示されているようにチップ外で発せられた信号によりレジスタ294を介して駆動され得る。

【0051】one-of-nデコーダ292の出力の1つが当該出力に関連するアナログスイッチをオン状態に切り替えると、選択されたアナログ機能回路の出力のアナログ電圧値が出力パッド290において有効となる。

【0052】本明細書には本発明の目下のところ好まし

い例を説明したが、本明細書の開示及び添付図面を検討して本発明の別の例を構成することは、当業者には可能であろう。それらの例も、特許請求の範囲によってしか限定されるべきでない本発明の範囲内に有ると考えられる。

【図面の簡単な説明】

【図1】本発明による集積回路構造のブロック線図である。

【図2a】本発明に用いるのに適したプログラマブルアナログスイッチのブロック線図である。

【図2b】図2aに示したアナログスイッチの目下のところ好ましい一例を示す概略的説明図である。

【図3a】本発明の集積回路のアナログ部に含まれ得る、利得をプログラムされ得る演算増幅器の概略的説明図である。

【図3b】本発明の集積回路のアナログ部に含まれ得る、切り替えに起因するエラーを伴わずに利得をプログラムされ得る演算増幅器の概略的説明図である。

【図3c】本発明の集積回路のアナログ部に含まれ得る、切り替えに起因するエラーを伴わずにプログラムされ得る基準電圧源の概略的説明図である。

【図3d】本発明の集積回路のアナログ部に含まれ得るプログラマブルな精密基準電流源の概略的説明図であ

る。

【図3e】本発明の集積回路のアナログ部に含まれ得るプログラマブルな電圧比較器の概略的説明図である。

【図3f】本発明の集積回路のアナログ部に含まれ得るプログラマブルな電圧制御型発振器の概略的説明図である。

【図4】本発明の集積回路のアナログ回路モジュール入出力パッドとインタフェース回路との接続法の一例を示す概略的説明図である。

10 【図5】本発明の目下のところ好ましい一例において用いられるアナログプローブ回路網のブロック線図である。

【符号の説明】

12a～12d アナログ回路モジュール

14a～14f デジタル回路モジュール

16a ADインタフェース回路

16b DAインタフェース回路

18a～18l 入出力パッド

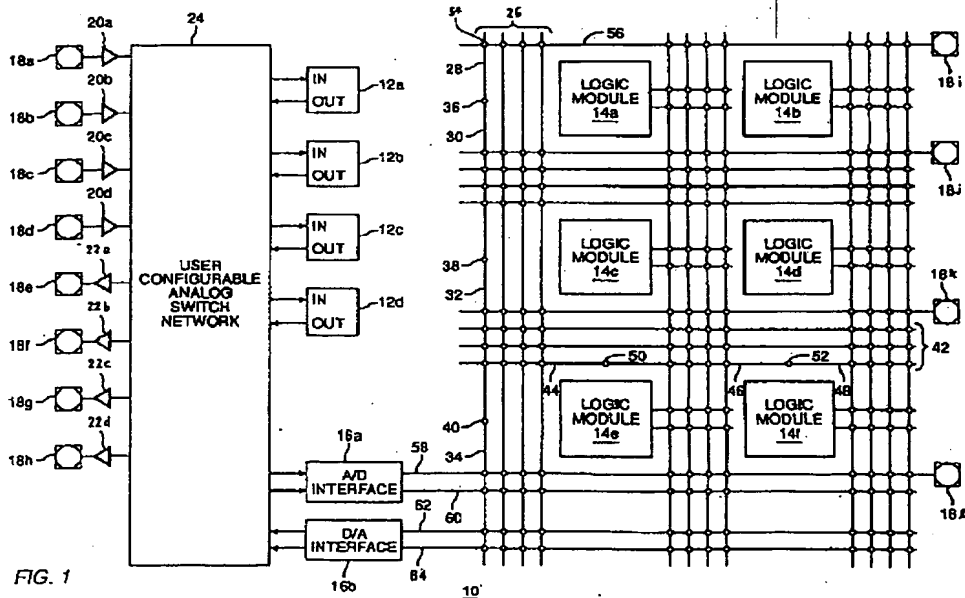
24 アナログスイッチ網

28, 30, 32, 34, 44, 46, 48 導線セグメント

36, 38, 40, 50, 52, 54 相互接続素子

56, 58, 60, 62, 64 導線

【図1】



【図 2 a】

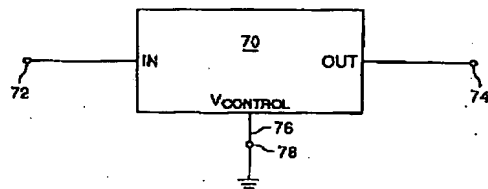


FIG. 2a

【図 2 b】

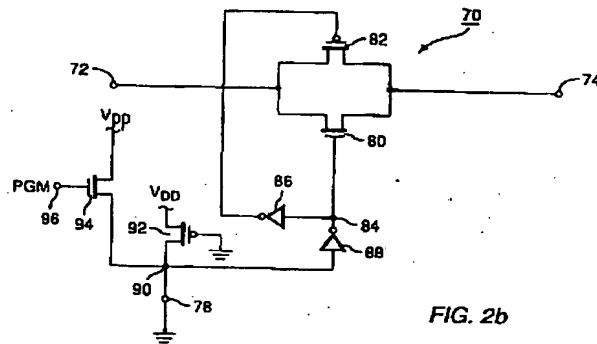


FIG. 2b

【図 3 a】

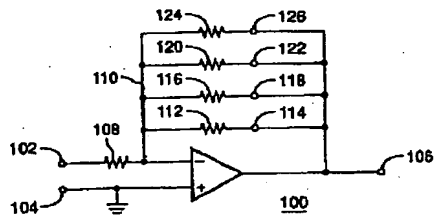


FIG. 3a

【図 3 b】

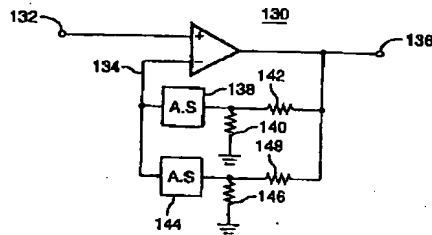


FIG. 3b

【図 3 c】

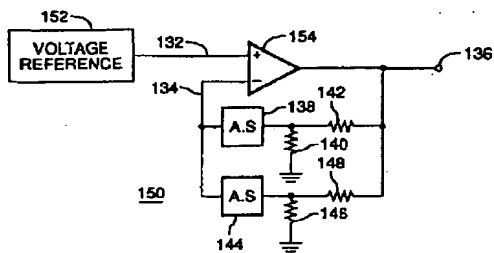


FIG. 3c

【図 3 d】

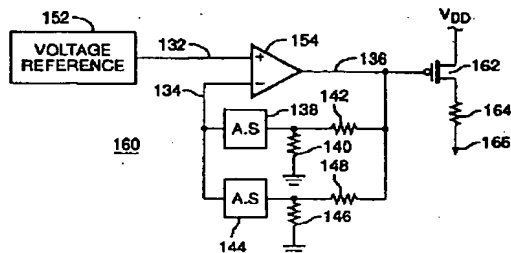


FIG. 3d

【図 3 e】

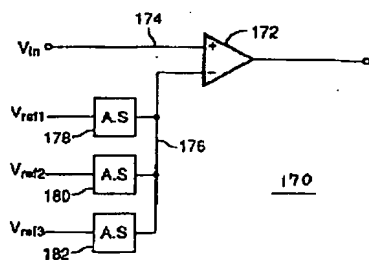


FIG. 3e

【図 3 f】

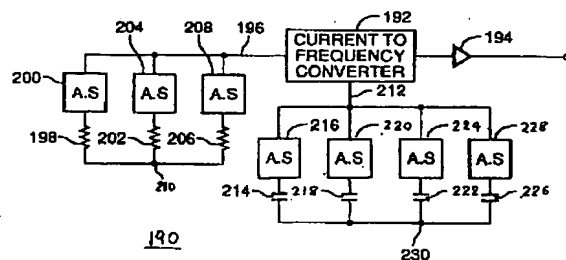


FIG. 3f

【図4】

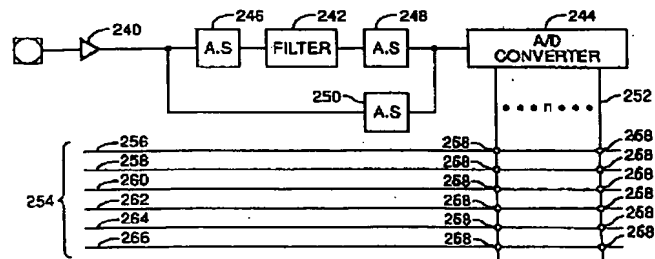


FIG. 4

【図5】

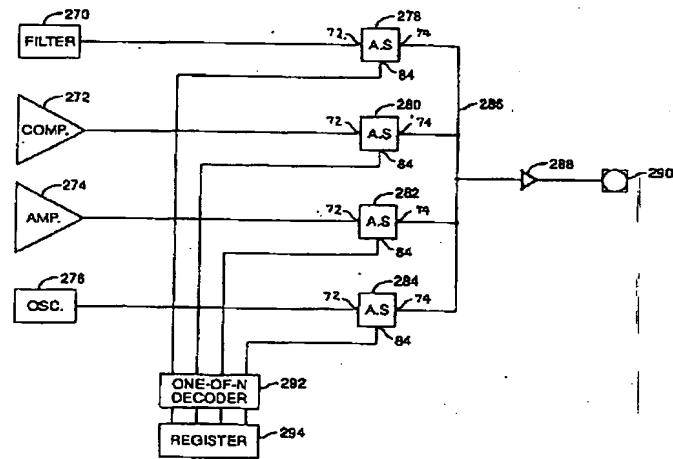


FIG. 5